

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-138975

(43)Date of publication of application : 20.05.1994

(51)Int.Cl. G06F 1/14
G06F 1/04
G06F 15/78

(21)Application number : 04-311216

(71)Applicant : HITACHI LTD
HITACHI MICOM SYST:KK

(22)Date of filing : 27.10.1992

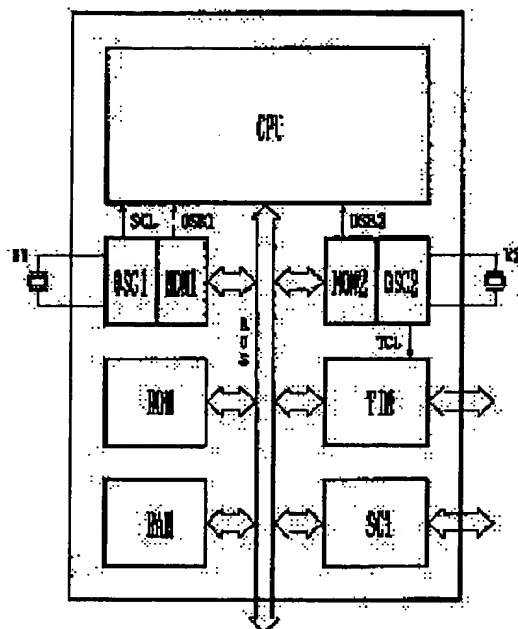
(72)Inventor : HAYAKAWA AKIO
HAYASAKA TOSHIMI

(54) SEMICONDUCTOR

(57)Abstract:

PURPOSE: To shorten the starting time for single-chip microcomputers with plural oscillation circuits with dissimilar oscillation stable time, to improve the starting characteristic of the system including the starting time and to reduce the burden of processing in starting a central processing unit included in the single-chip microcomputers.

CONSTITUTION: Oscillation monitoring circuits MON 1 and MON 2 selectively making an output signal OSB 1 or OSB 2 valid when the oscillation frequency of the oscillation circuit OSC 1 and OSC 2 are stabilized are provided on microcomputers, releasing the operation inhibit state of each function block in the order of validating the output signal of the corresponding oscillation monitoring circuit. The start processing by the central processing unit (CPU) is started when the oscillation frequency of the oscillation circuit OSC 1 which requires relatively short oscillation stable time, for example, and the stabilization of the oscillation frequency of the oscillation circuit OSC 2 which requires relatively long oscillation stable time is notified to the CPU by interrupt.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-138975

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 0 6 F 1/14

1/04

15/78

A 7165-5B

5 1 0 P 7323-5L

7165-5B

G 0 6 F 1/ 04

3 5 2

審査請求 未請求 請求項の数5(全 7 頁)

(21)出願番号

特願平4-311216

(22)出願日

平成4年(1992)10月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72)発明者 早川 秋夫

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

(72)発明者 早坂 敏美

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

(74)代理人 弁理士 徳若 光政

(54)【発明の名称】 半導体装置

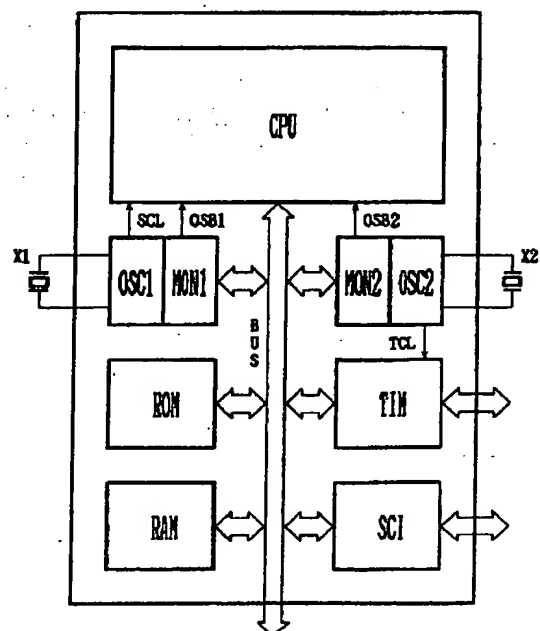
(57)【要約】

【目的】 発振安定時間の異なる複数の発振回路を備えるシングルチップマイクロコンピュータ等の立ち上がり時間を短縮し、これを含むシステムの起動特性を改善するとともに、このようなシングルチップマイクロコンピュータに含まれる中央処理装置の起動時における処理負担を軽減する。

【構成】 シングルチップマイクロコンピュータ等に、発振回路OSC1及びOSC2の発振周波数が安定化したときその出力信号OSB1又はOSB2を選択的に有効とする発振監視回路MON1及びMON2を設け、各機能ブロックの動作禁止状態を、対応する発振監視回路の出力信号が有効とされたものから順に解除する。また、例えば比較的短い発振安定時間を要する発振回路OSC1の発振周波数が安定化した時点で、中央処理装置CPUによる起動処理を開始するとともに、比較的長い発振安定時間を要する発振回路OSC2の発振周波数が安定化したことを、割込みによって中央処理装置CPUに知らせる。

図1

マイクロコンピュータブロック図(実施例1)



【特許請求の範囲】

【請求項1】 その発振周波数が安定化するまでの時間がそれぞれ異なる複数の発振回路と、上記発振回路のそれぞれに対応して設けられ対応する発振回路の発振周波数が安定化したときその出力信号を選択的に有効とする複数の発振監視回路とを具備することを特徴とする半導体装置。

【請求項2】 上記半導体装置は、上記発振回路のそれぞれに対応して設けられる複数の機能ブロックを具備するものであり、上記機能ブロックのそれぞれは、対応する上記発振監視回路の出力信号が有効とされたものから順にその動作禁止状態を解かれるものであることを特徴とする請求項1の半導体装置。

【請求項3】 上記半導体装置は、中央処理装置を含むシングルチップマイクロコンピュータであって、上記複数の発振回路には、上記中央処理装置を同期動作させるための比較的高い周波数の第1のクロック信号を形成する第1の発振回路と、他の所定の機能ブロックを同期動作させるための比較的低い周波数の第2のクロック信号を形成する第2の発振回路とが含まれ、上記複数の発振監視回路には、上記第1の発振回路に対応して設けられる第1の発振監視回路と、上記第2の発振回路に対応して設けられる第2の発振監視回路とが含まれるものであることを特徴とする請求項1又は請求項2の半導体装置。

【請求項4】 上記中央処理装置は、上記第1の発振監視回路の出力信号に従って選択的にそのリセット状態を解かれ、上記第2の発振監視回路の出力信号に従って選択的に上記他の所定の機能ブロックの動作禁止状態を解くための割込み処理を開始するものであることを特徴とする請求項3の半導体装置。

【請求項5】 上記中央処理装置は、上記第1の発振監視回路の出力信号に従って選択的にそのリセット状態を解かれるものであり、上記半導体装置は、上記第2の発振監視回路の出力信号に従って選択的に上記他の所定の機能ブロックに対するアクセスを受理するインタフェース制御回路を具備するものであることを特徴とする請求項3の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置に関するもので、例えば、その発振周波数が安定化するまでの時間が異なる複数の発振回路を内蔵するシングルチップマイクロコンピュータ等に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 システムクロック信号SCLを形成し中央処理装置CPUに供給する発振回路OSC1と、タイマクロック信号TCLを形成しタイマー回路TIMに供給する発振回路OSC2とを内蔵する図5のようなシン

グルチップマイクロコンピュータがある。このシングルチップマイクロコンピュータにおいて、システムクロック信号SCLの周波数は、外付けされる水晶発振子X1の固有振動数に従って例えば20MHz（メガヘルツ）のような比較的高い周波数とされ、電源投入時又はシステムリセット時においてその周波数が安定化するまでに要する発振安定時間は、例えば30ミリ秒程度の比較的低いものとされる。一方、タイマクロック信号TCLの周波数は、外付けされる水晶発振子X2の固有振動数に従って例えば32.768KHz（キロヘルツ）のような比較的低い周波数とされ、その発振安定時間は、例えば3秒程度の比較的高いものとされる。

【0003】 その発振周波数が安定化するまでの時間が異なる複数の発振回路を内蔵するシングルチップマイクロコンピュータについて、例えば、平成3年9月、株式会社日立製作所発行の『日立4ビットシングルチップマイクロコンピュータデータブック』第755頁等に記載されている。

【0004】

【発明が解決しようとする課題】 上記に記載されるマイクロコンピュータにおいて、中央処理装置CPUは、発振回路OSC1により形成されるシステムクロック信号SCLの周波数が安定化するまでの間は正常な動作を行うことができず、タイマー回路TIMも、発振回路OSC2により形成されるタイマクロック信号TCLの周波数が安定化されるまでの間は正常な動作を行うことができない。このため、従来のマイクロコンピュータでは、その仕様書に各発振回路の発振周波数が安定化するまでに要する時間が発振安定時間として明記され、この間中央処理装置CPU等の動作を強制的に停止させるための反転リセット信号RESB（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）が用意される。

【0005】 ところが、マイクロコンピュータならびにこれを含むシステムの高性能化が進むにしたがって、上記のような従来のマイクロコンピュータには次のような問題点が生じることが本願発明者等によって明らかとなった。すなわち、上記従来のマイクロコンピュータでは、図6に例示されるように、反転リセット信号RESBによるリセット期間T3が、少なくとも発振回路OSC2の比較的高い発振安定時間T2を包含すべく設定され、この間中央処理装置CPU等は動作禁止状態に置かれる。この結果、電源投入時又はシステムリセット時におけるマイクロコンピュータの立ち上がり時間が長くなり、マイクロコンピュータを含むシステムの起動特性が悪化する。一方、これに対処するため、発振回路OSC1の比較的低い発振安定時間T1を保証する時間だけ中央処理装置CPUを動作禁止状態とし、発振回路OSC1の発振周波数が安定化した後は、中央処理装置CPU

による起動処理だけを先行して開始する方法が採られる。しかし、この方法を採った場合、中央処理装置CPUは、起動処理の合間をぬって発振回路OSC2の発振安定時間T2を計時するためのソフトウェア処理を行わなくてはならず、これによって中央処理装置CPUの起動時における処理負担が増大する。

【0006】この発明の目的は、発振安定時間が異なる複数の発振回路を内蔵するシングルチップマイクロコンピュータ等の立ち上がり時間を短縮し、シングルチップマイクロコンピュータ等を含むシステムの起動特性を改善することにある。この発明の他の目的は、複数の発振回路を内蔵するシングルチップマイクロコンピュータ等の中央処理装置の起動時における処理負担を軽減することにある。

【0007】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、発振安定時間が異なる複数の発振回路を内蔵するシングルチップマイクロコンピュータ等に、対応する発振回路の発振周波数が安定化したときその出力信号を選択的に有効とする複数の発振監視回路を設け、各機能ブロックの動作禁止状態を、対応する発振監視回路の出力信号が有効されたものから順に解除する。また、例えば比較的短い発振安定時間を要するシステムクロック信号の周波数が安定化した時点で、中央処理装置による起動処理を開始するとともに、比較的長い発振安定時間を要するタイマクロック信号等の周波数が安定化したことを、割込みによって中央処理装置に知らせる。

【0009】

【作用】上記手段によれば、各発振回路の発振周波数が安定化したことを対応する発振監視回路により個別にしかもハードウェア的に識別できるとともに、例えばシステムクロック信号が安定化した時点で、中央処理装置による起動処理を早期に開始させ、しかも起動処理中の中央処理装置をタイマクロック信号等の安定状態監視から解放することができる。この結果、複数の発振回路を内蔵するシングルチップマイクロコンピュータ等の立ち上がり時間を短縮し、シングルチップマイクロコンピュータ等を含むシステムの起動特性を改善できるとともに、起動時における中央処理装置の処理負担を軽減することができる。

【0010】

【実施例】図1には、この発明が適用されたシングルチップマイクロコンピュータの第1の実施例のブロック図が示されている。また、図2には、図1のシングルチップマイクロコンピュータの起動時における動作タイムチ

ャートが示されている。これらの図をもとに、この実施例のシングルチップマイクロコンピュータの構成及び動作の概要とその特徴について説明する。なお、図1の各ブロックを構成する回路素子は、水晶発振子X1及びX2を除き、公知の半導体集積回路の製造技術により単結晶シリコンのような1個の半導体基板上に形成される。

【0011】図1において、この実施例のシングルチップマイクロコンピュータは、特に制限されないが、ストアードプログラム方式の中央処理装置CPUをその基本構成要素とする。また、2個の発振回路OSC1（第1の発振回路）及びOSC2（第2の発振回路）を備え、これらの発振回路に対応して設けられる2個の発振監視回路MON1（第1の発振監視回路）及びMON2（第2の発振監視回路）を備える。シングルチップマイクロコンピュータは、さらに、システムバスBUSを介して中央処理装置CPUに結合されるリードオンリーメモリROM、ランダムアクセスメモリRAM、タイマー回路TIMならびにシリアルコミュニケーションインタフェースSCIを備える。

【0012】ここで、中央処理装置CPUは、発振回路OSC1から供給されるシステムクロック信号SCL（第1のクロック信号）に従って同期動作し、リードオンリーメモリROMに格納されるプログラムに従って所定の演算処理を実行するとともに、マイクロコンピュータの各部を制御・統轄する。リードオンリーメモリROMは、所定の記憶容量を有するマスクROM等からなり、中央処理装置CPUの制御に必要なプログラムや固定データ等を格納する。また、ランダムアクセスメモリRAMは、所定の記憶容量を有するスタティック型RAM等からなり、中央処理装置CPUによる演算結果や制御データ等を一時的に格納する。

【0013】一方、タイマー回路TIMは、発振回路OSC2から供給されるタイマクロック信号TCL（第2のクロック信号）をもとに時間計時を行い、中央処理装置CPUの時間管理やカレンダー機能を実現する。また、シリアルコミュニケーションインタフェースSCIは、例えばマイクロコンピュータの外部に結合されるシリアル入出力装置等と中央処理装置CPU又はランダムアクセスメモリRAMとの間のデータ授受を制御・管理する。

【0014】次に、発振回路OSC1は、対応する一対の外部端子を介して水晶発振子X1に結合され、所定の周波数のシステムクロック信号SCLを形成して中央処理装置CPUに供給する。この実施例において、水晶発振子X1は、例えば20MHzの固有振動数を有し、発振回路OSC1は、この水晶発振子X1の固有振動数に相当する比較的高い周波数のシステムクロック信号SCLを形成する。また、シングルチップマイクロコンピュータの電源投入時又はシステムリセット時において、発振回路OSC1の発振周波数が安定化するまでの発振安

定時間は、約30mS程度の比較的短いものとされる。

【0015】一方、発振回路OSC2は、対応する他の一対の外部端子を介して水晶発振子X2に結合され、所定の周波数のタイマクロック信号TCLを形成してタイマー回路TIMに供給する。この実施例において、水晶発振子X2は、例えば32.768KHzの固有振動数を有し、発振回路OSC2は、水晶発振子X2の固有振動数に相当する比較的低い周波数のタイマクロック信号TCLを形成する。また、シングルチップマイクロコンピュータの電源投入時又はシステムリセット時に

て、発振回路OSC2の発振周波数が安定化するまでの発振安定時間は、約3秒程度の比較的長いものとされる。

【0016】発振監視回路MON1は、所定ビットのバイナリカウンタを含み、発振回路OSC1の出力信号つまりはシステムクロック信号SCLを計数することによってシステムクロック信号SCLの周波数が安定化するまでの発振安定時間T1を判定する。そして、発振安定時間T1が経過すると、バイナリカウンタのオーバーフロー信号を受けてその出力信号OSB1を選択的にハイレベルとする。発振監視回路MON1の出力信号OSB1は、対応する機能ブロックつまり中央処理装置CPUに供給され、システムクロック信号SCLの周波数が安定化するまでの間その動作を停止するためのリセット信号として供される。中央処理装置CPUは、図2に示されるように、発振監視回路MON1の出力信号OSB1がロウレベルとされる間、動作禁止状態とされるが、この出力信号OSB1がハイレベルとされることでリセット状態を解除され、起動処理を開始する。なお、中央処理装置CPUは、システムバスBUSを介して発振監視回路MON1の制御レジスタをアクセスする経路を有し、そのステータス制御等を行う。

【0017】一方、発振監視回路MON2は、他の所定ビットのバイナリカウンタを含み、発振回路OSC2の出力信号つまりはタイマクロック信号TCLを計数することによってタイマクロック信号TCLの周波数が安定化するまでの発振安定時間T2を判定する。そして、発振安定時間T2が経過すると、バイナリカウンタのオーバーフロー信号を受けてその出力信号OSB2をハイレベルとする。発振監視回路MON2の出力信号OSB2は、中央処理装置CPUに供給され、対応する機能ブロックつまりはタイマー回路TIMの動作禁止状態を解除するための割込み要求信号として供される。中央処理装置CPUは、図2に示されるように、発振監視回路MON2の出力信号OSB2がロウレベルとされる間、システム立ち上げのための起動処理を行うが、この出力信号OSB2のハイレベルを受けてタイマー回路TIMの動作禁止状態を解除し、通常処理を開始する。なお、中央処理装置CPUは、システムバスBUSを介して発振監視回路MON2の制御レジスタをアクセスする経路を

有し、そのステータス制御等を行う。

【0018】以上のように、この実施例のシングルチップマイクロコンピュータは、その発振安定時間が異なる2個の発振回路OSC1及びOSC2を備え、これらの発振回路に対応して設けられる2個の発振監視回路MON1及びMON2を備える。このうち、発振監視回路MON1の出力信号OSB1は、リセット信号として対応する機能ブロックすなわち中央処理装置CPUに供給され、発振回路OSC1の発振安定時間T1が経過した時点で、中央処理装置CPUの動作禁止状態を解くために供される。また、発振監視回路MON2の出力信号OSB2は、割込み要求信号として中央処理装置CPUに供給され、発振回路OSC2の発振安定時間T2が経過した時点で、対応する機能ブロックすなわちタイマクロック信号TCLの動作禁止状態を解くために供される。これにより、この実施例のシングルチップマイクロコンピュータでは、発振回路OSC1の比較的短い発振安定時間T1が経過した時点で早期に中央処理装置CPUの動作禁止状態が解かれるとともに、発振回路OSC2の比較的長い発振安定時間T2が経過するまでの間、言い換えるならば発振監視回路MON2から割込み要求信号があるまでの間、中央処理装置CPUは起動処理に専念することができる。この結果、シングルチップマイクロコンピュータの立ち上がり時間を短縮し、シングルチップマイクロコンピュータ等を含むシステムの起動特性を改善できるとともに、起動時における中央処理装置の処理負担を軽減することができるものとなる。

【0019】図3には、この発明が適用されたシングルチップマイクロコンピュータの第2の実施例のブロック図が示され、図4には、その起動時における動作タイムチャートが示されている。なお、この実施例のシングルチップマイクロコンピュータは、前記図1及び図2の実施例を基本的に踏襲するものであり、図3の中央処理装置CPU、水晶発振子X1及びX2、発振回路OSC1及びOSC2、発振監視回路MON1及びMON2、リードオンリーメモリROM、ランダムアクセスメモリRAM、タイマー回路TIM及びシリアルコミュニケーションインタフェースSCIは、図1の中央処理装置CPU、発振回路OSC1及びOSC2、発振監視回路MON1及びMON2、リードオンリーメモリROM、ランダムアクセスメモリRAM、タイマー回路TIM及びシリアルコミュニケーションインタフェースSCIにそれぞれそのまま対応する。以下、図1及び図2の実施例と異なる部分についてのみ、説明を追加する。

【0020】図3において、この実施例のシングルチップマイクロコンピュータは、システムバスBUSとタイマー回路TIMとの間に設けられるタイマーインタフェース制御回路TI（インタフェース制御回路）を備える。このタイマーインタフェース制御回路TIには、発振監視回路MON2からその出力信号OSB2が供給さ

れる。なお、発振回路OSC1の出力信号すなわちシステムクロック信号SCLは、前記図1の実施例と同様に、中央処理装置CPUに供給され、発振監視回路MON1の出力信号OSB1は、リセット信号として中央処理装置CPUに供給される。また、発振回路OSC2の出力信号すなわちタイマクロック信号TCLは、タイマー回路TIMに供給される。

【0021】この実施例において、タイマーインタフェース制御回路TIは、発振監視回路MON2の出力信号OSB2のハイレベルを受けて、中央処理装置CPUからシステムバスBUSを介して行われるタイマー回路TIMへのアクセスを選択的に許可する。すなわち、タイマーインタフェース制御回路TIは、図4に示されるように、電源投入又はシステムリセットから発振回路OSC2の発振安定時間T2が経過するまでの間つまり発振監視回路MON2の出力信号OSB2がロウレベルとされる間は、中央処理装置CPUによるタイマー回路TIMのアクセスを受理せず、中央処理装置CPUに対してアクセス不可信号NGを返送する。そして、発振回路OSC2の発振安定時間T2が経過し発振監視回路MON2の出力信号OSB2がハイレベルとされると、中央処理装置CPUによるタイマー回路TIMのアクセスを許可し、中央処理装置CPUに対してアクセス受理信号OKを返送する。これにより、中央処理装置CPUは、タイマー回路TIMがアクセス可能となったことを識別し、通常処理を開始する。この結果、起動時における中央処理装置CPUの処理負担が若干は残るものの、前記図1及び図2の実施例と同様な効果を得ることができるものとなる。

【0022】以上の二つの実施例に示されるように、この発明を発振安定時間の異なる複数の発振回路を内蔵するシングルチップマイクロコンピュータ等の半導体装置に適用することで、次のような作用効果が得られる。すなわち、

(1) その発振安定時間が異なる複数の発振回路を内蔵するシングルチップマイクロコンピュータ等に、対応する発振回路の発振周波数が安定化したときその出力信号を選択的に有効とする複数の発振監視回路を設け、各機能ブロックの動作禁止状態を、対応する発振監視回路の出力信号が有効されたものから順に解除することで、各発振回路の発振周波数が安定化したことを対応する発振監視回路により個別にしかもハードウェア的に識別できるという効果が得られる。

【0023】(2) 上記(1)項において、例えば比較的短い発振安定時間を要するシステムクロック信号の周波数が安定化した時点で、中央処理装置による起動処理を開始するとともに、比較的長い発振安定時間を要するタイマクロック信号等の周波数が安定化したことを、割込みによって中央処理装置に知らせることで、例えばシステムクロック信号が安定化した時点で、中央処理装置

による起動処理を早期に開始させ、しかも起動処理中の中央処理装置をタイマクロック信号等の安定状態監視から解放することができるという効果が得られる。

(3) 上記(1)項及び(2)項により、複数の発振回路を内蔵するシングルチップマイクロコンピュータ等の立ち上がり時間を短縮し、シングルチップマイクロコンピュータ等を含むシステムの起動特性を改善できるとともに、起動時における中央処理装置の処理負担を軽減できるという効果が得られる。

【0024】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、シングルチップマイクロコンピュータは、ランダムアクセスメモリRAM及びシリアルコミュニケーションインタフェースSCI等を含むことを必須条件としないし、そのブロック構成は、種々の実施形態を採りうる。また、発振回路OSC1及びOSC2に外付けされる水晶発振子X1及びX2は、例えばセラミック発振子等に置き換えることができるし、その固有振動数つまりシステムクロック信号SCL及びタイマクロック信号TCLの周波数は、任意に選定できる。シングルチップマイクロコンピュータは、3個以上の発振回路を内蔵することができる。また、その発振安定時間が比較的長い発振回路OSC2の出力信号を受ける機能ブロックが、タイマー回路TIMである必要はないし、中央処理装置CPU以外の機能ブロックにもシステムクロック信号SCLを供給することができる。

【0025】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるシングルチップマイクロコンピュータに適用した場合について説明したが、それに限定されるものではなく、例えば、同様な複数の発振回路を内蔵するマイクロプロセッサ等にも適用できる。この発明は、少なくともその発振周波数が安定化するまでの時間が異なる複数の発振回路を備える半導体装置ならびにこのような半導体装置を含むシステムに広く適用できる。

【0026】

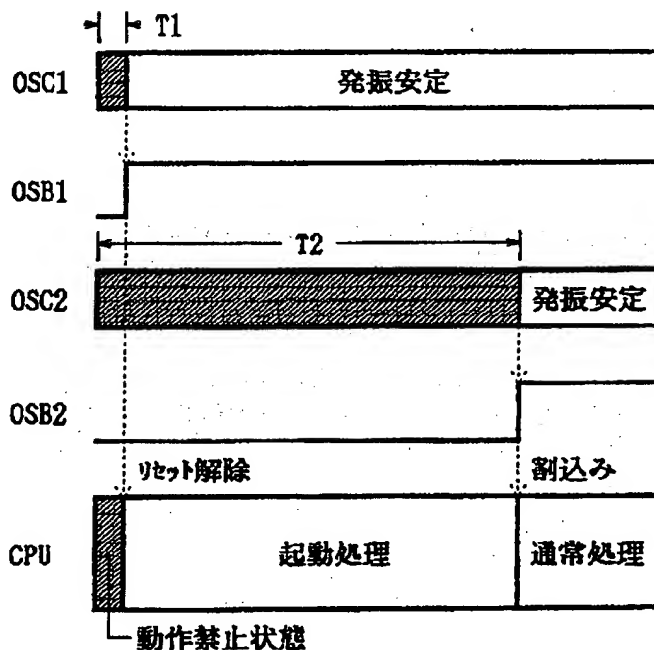
【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、その発振安定時間が異なる複数の発振回路を内蔵するシングルチップマイクロコンピュータ等に、対応する発振回路の発振周波数が安定化したときその出力信号を選択的に有効とする複数の発振監視回路を設け、各機能ブロックの動作禁止状態を、対応する発振監視回路の出力信号が有効されたものから順に解除する。また、例えば比較的短い発振安定時間を要するシステムクロック信号の周波数が安定化した時点で、中央処理装置による起動処理を開始するとともに、比較的長い発振安定時間を要するタイマクロック信号等

10

【図2】図1のシングルチップマイクロコンピュータの起動時における動作タイムチャートである。

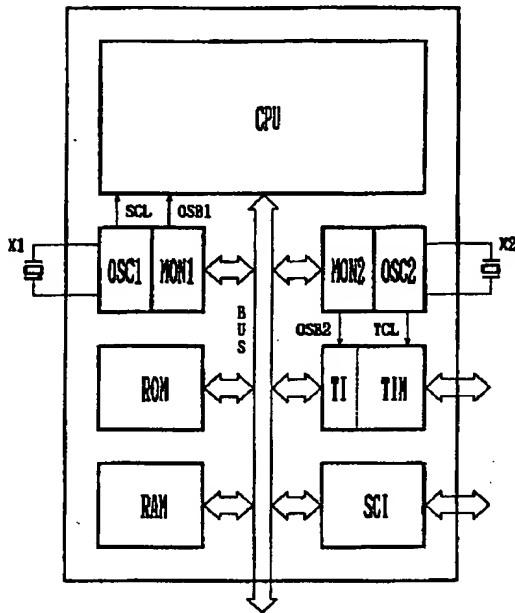
【图2】

図2 起動時タイムチャート（実施例1）



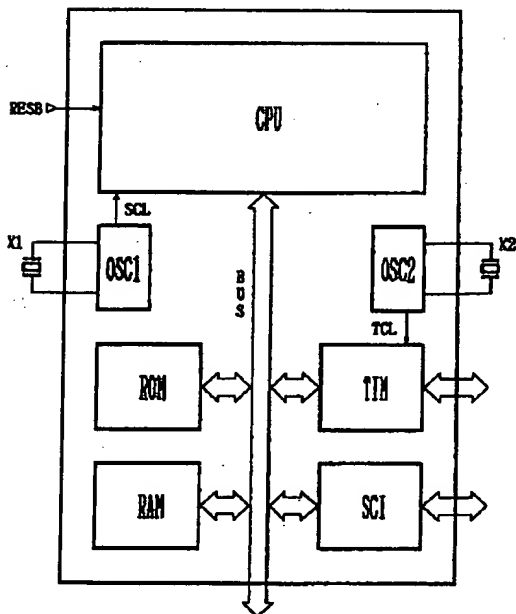
【図3】

図3 マイクロコンピュータブロック図 (実施例2)



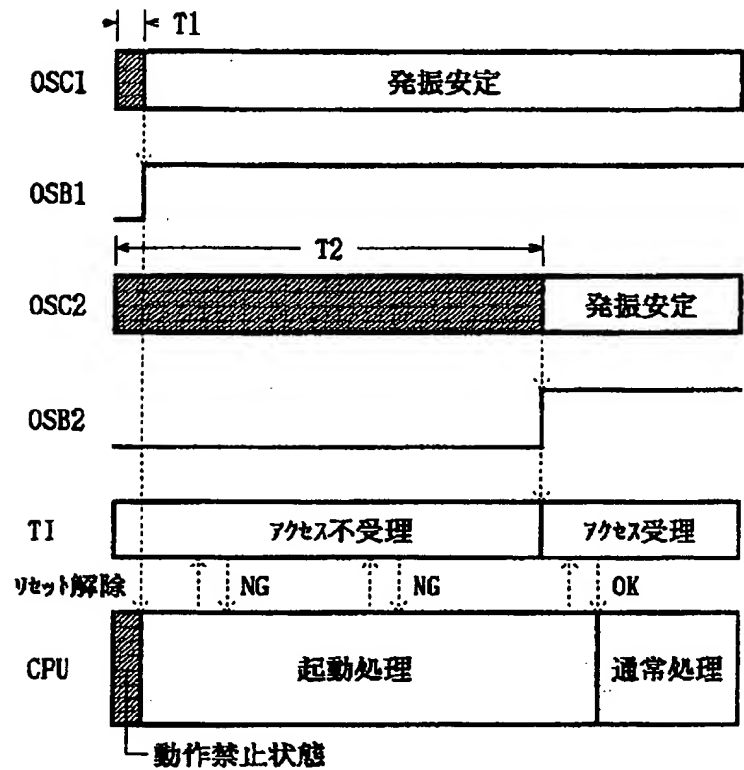
【図5】

図5 マイクロコンピュータブロック図 (従来例)



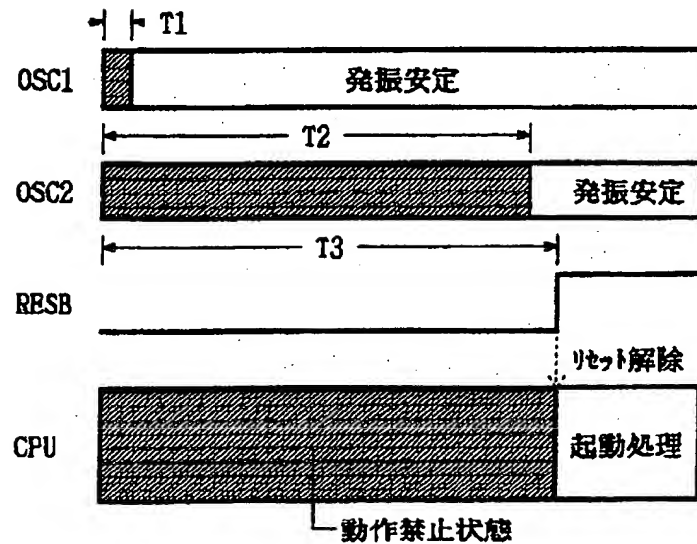
【図4】

図4 起動時タイムチャート (実施例2)



【図6】

図6 起動時タイムチャート (従来例)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.